

Title of Invention: D/A Converter

Publication Number: Japanese Utility Model Application
Laid-open Sho 63 No.165932

Publication Date: October 28, 1988 Priority Country: Japan

Application Number: Japanese Utility Model Application Sho 62
No.58293

Application Date : April 17, 1987

Applicant: NEC Corporation (0) Inventor: Nami INAMASU (0)

Int.Cl⁴: H03M 1/68

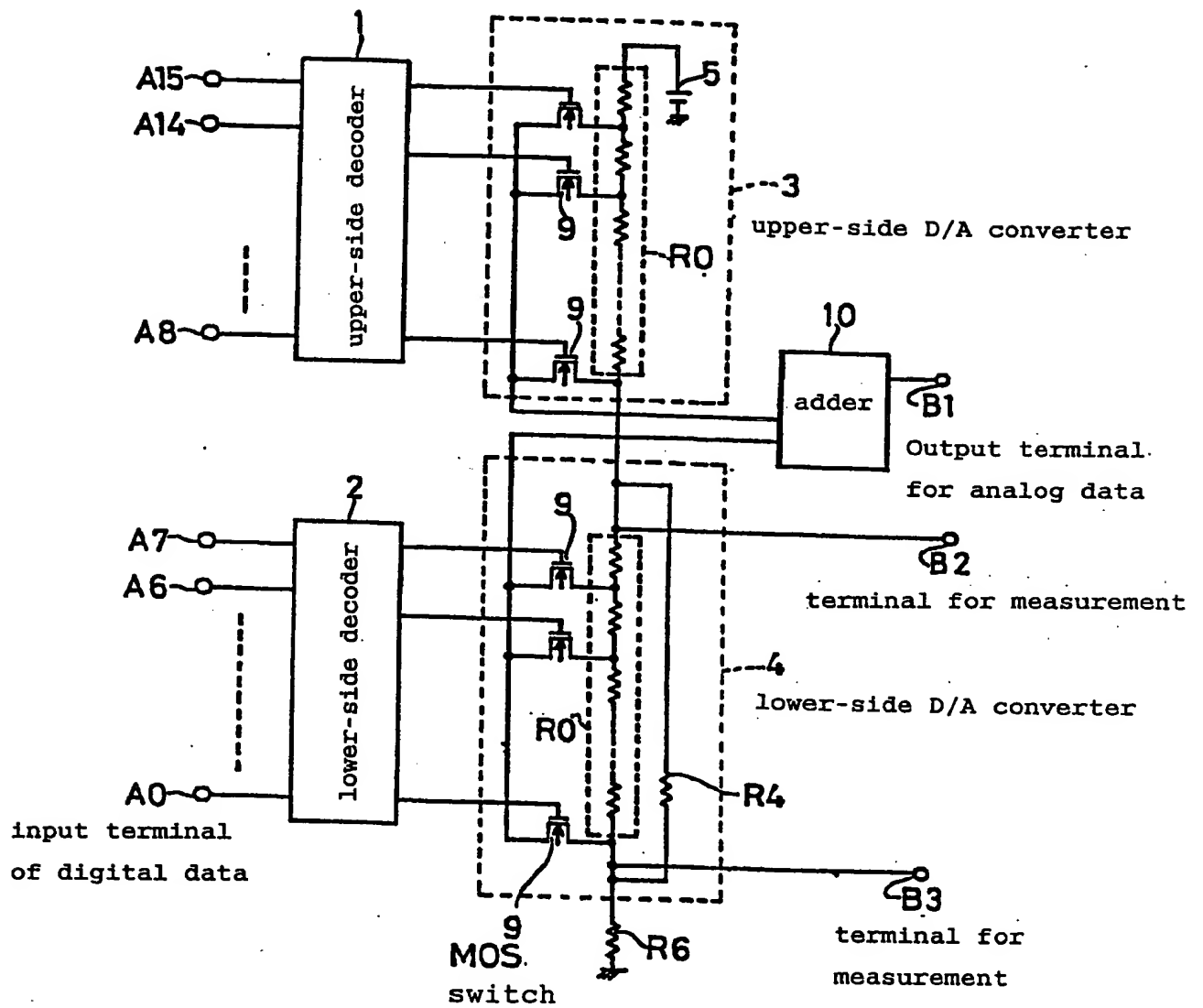
Configuration:

Fig. 1 illustrates a circuit diagram of a device. In the drawing, A0 to A15 designate input terminals of digital data while B1 designates an output terminal of analog data. Among them, the input terminals A0 to A7 are connected to a lower-side decoder 2 while the input terminals A8 to A15 are connected to an upper-side decoder 1. Output signal lines of the upper-side decoder 1 are connected to an upper-side D/A converter 3 while output signal lines of the lower-side decoder 2 are connected to a lower-side D/A converter 4. The upper-side decoder 1 and the lower side decoder 2 each has output signal lines of $2^8 = 256$ lines, respectively, in order to decode input signals of 8 bits each, wherein only one output signal line which corresponds to an input digital data is selected. Each output from respective D/A converter 3 and 4 is provided to the output terminal B1 of analog data via an adder 10. A couple of measurement terminals B2 and B3, respectively, are connected to each end of a series resistor R0 of the lower-side D/A converter 4. Meanwhile, a resistor R4 is the resistor which is parallelly connected to the series resistor R0 while a resistor R6 is the resistor in which one end is connected to R0 and R4 while the other end is grounded. A power source 5 is for a bias source. Here, in each of the D/A converters 3 and 4, the series

resistor R0 is configured such that resistors comprising $2^8 = 256$ unit resistors are connected in series to construct the series resistor R0. Hence, this means that each of D/A converters 3 and 4 is provided with 256 kinds of analog data. Here, resistance value of each unit resistor for the D/A converters 3 and 4 are all equal. Between in each contact point of the resistor and the decoders 1 and 2, a MOS transistor switch 9 is disposed. ON-OFF of the switch 9 is controlled by output from the decoders 1 and 2. The thus configured D/A converter is operated as follows. As high-level or low-level digital data is applied to each of input terminals A0 to A15, the digital data input to the input terminals A0 to A7 is received by the lower-side decoder 2 while the digital data input to the terminals A8 to A15 is received by the upper-side decoder 1. As the result, only one output signal line which corresponds to input digital data is selected by means of the upper-side and the lower-side decoders 1 and 2. subsequently, only the selected signal line performs switch-on of the D/A converter 3 and 4. Here, in the D/A converter 3 and 4, voltage provided from the power source 5 is divided by resistors with equal resistance value. In this case, the smallest step of voltage of the D/A converter 3 is equal to the full-scale voltage of the D/A converter 4, which is secured by the resistor R4. In the D/A converter 4, voltage applied to the resistor R4, (which is equivalent to 1 LSB of the upper-side D/A converter 3) by the series resistor R0 comprising 256 unit resistors which has equal resistance value as to the resistor R4, is divided into 256 steps. This series resistor R0 is connected in parallel to the resistor R4 wherein output voltage is level-shifted by the resistor R6. More specifically, combined resistance within the D/A converter 4 is $0.996R$ (where $R = 1$ LSB of the upper-side D/A converter 3). However, the ratio between the upper-side D/A converter 3 and the

lower-side D/A converter 4 is precisely corrected by the adder 10. Meanwhile, in order to measure accuracy of resistance of lower-side D/A converter 4, if output of the upper-side D/A converter 3 is fixed, it is possible to measure output of the lower-side D/A converter 4 from the output B1 without influenced by noise, etc.

Fig.1



公開実用 昭和63- 165932

⑩ 日本国特許庁(JP)

⑪ 実用新案出願公開

⑫ 公開実用新案公報(U)

昭63- 165932

⑬ Int. Cl. 4

H 03 M 1/68

識別記号

庁内整理番号

6832-5J

⑭ 公開 昭和63年(1988)10月28日

審査請求 未請求 (全17頁)

⑮ 考案の名称 D/A変換装置

⑯ 実 願 昭62- 58293

⑰ 出 願 昭62(1987)4月17日

⑱ 考 案 者 稲 益 奈 美

⑲ 出 願 人 日本電気株式会社

⑳ 代 理 人 弁理士 内 原 晋

東京都港区芝5丁目33番1号 日本電気株式会社内

東京都港区芝5丁目33番1号

明 細 書

1. 考案の名称

D / A 変換装置

2. 実用新案登録請求の範囲

入力されたデジタルデータをデコードする上位桁デコード及び下位桁デコードと、これら上位桁及び下位桁デコードによってデコードされたデータに応じたアナログ値を複数の単位抵抗の直列回路からなる抵抗分圧器によって生成する直列接続された上位桁 D / A 変換器及び下位桁 D / A 変換器と、これら上位桁 D / A 変換器及び下位桁 D / A 変換器の出力を加算する加算器と、を有する D / A 変換装置において、前記下位桁 D / A 変換器の抵抗分圧器に並列接続され上位桁 D / A 変換器の抵抗分圧器の単位抵抗の少なくとも 1 つ分の抵抗値を有する抵抗と、前記下位桁 D / A 変換器の抵抗分圧器の両端部に設けられた測定端子と、を有することを特徴とする D / A 変換装置。

3. 考案の詳細な説明

〔産業上の利用分野〕

本考案は、デジタルデータをアナログデータに変換するD/A変換装置に関する。

〔従来の技術〕

従来、抵抗分圧方式のD/A変換装置においては、例えば、入力されたデジタルデータを2分割し、上位桁と下位桁側を別のD/A変換器に入力して、2つのアナログデータを得、抵抗等を介することによって、上位側と下位側のアナログデータの相対比をとった上で加算し、1つのアナログデータを出力させている。

第3図は、従来のD/A変換装置を示す回路図である。A0～A15はデジタルデータの入力端子、B1はアナログデータの出力端子である。1は上位側デコーダ、2は下位側デコーダであり、3は上位側D/A変換器、4は下位側D/A変換器である。また、6, 7, 8はバッファ、R1, R2は抵抗であり、電源5はバイアス源である。

各入力端子A0～A15にハイレベル又はローレベルのデジタルデータが印加されると、入力端子A0～A7に入力されたデジタルデータを下位

側デコーダ2が受け、A8～A15に入力されたデジタルデータを上位側デコーダ1が受ける。上位側デコーダ1及び下位側デコーダ8は、夫々8bitの入力信号をデコードするために $2^8 = 256$ 本の出力信号線を持ち、入力デジタルデータに対応した出力信号線が1つだけ選択される。選択された信号線のみがD/A変換器3又は4のスイッチをオンさせることができる。

即ち、D/A変換器3及び4においては、電源5によって与えられた電圧が、等しい抵抗値を持つ抵抗 r_1, r_2, \dots, r_{256} により分割される。各抵抗の接続点にはMOSトランジスタスイッチ9が配設されている。このMOSトランジスタスイッチ9のオン・オフは前記デコーダの出力で制御される。各D/A変換器3及び4には $2^8 = 256$ 本の抵抗 r_1, r_2, \dots, r_{256} が直列に接続されており、256種のアナログデータが用意されていることになる。

ところで、D/A変換器3及び4の抵抗 r_1, r_2, \dots, r_{256} の抵抗値は全て同一であり、D

／A変換器4の各抵抗により構成される直列接続体と並列に、抵抗 R_3 が接続されている。従って、D／A変換器3の最小ステップに略々等しい電圧が抵抗 R_3 の両端に生ずる。D／A変換器4においては、前述の如く、抵抗 R_3 の両端の電圧を256段階に分割するために、抵抗 R_3 と並列に、抵抗 R_3 と同一抵抗値(R)の抵抗 r_1, r_2, \dots, r_{256} が直列接続されている。従って、D／A変換器4内の合成抵抗は $(256/257)R = 0.996R$ となり、D／A変換器4のフルスケール電圧も比例して0.996を乗じた値となる。

上記D／A変換器3の出力はバッファ6を介して抵抗 R_1 へ導びかれ、D／A変換器4の出力はバッファ7を介して抵抗 R_2 へ導かれる。 R_1 と R_2 の抵抗比を1:0.996とすると、D／A変換器4の合成抵抗によって降下した電圧を元に戻すことができる。1:0.996という抵抗比は略々同一の抵抗で作ることができるので、相対比の精度を確保しやすい。このようにして、抵抗

R 1 と R 2 により合成されたアナログデータはバッファ 8 を通ってアナログデータ出力端子 B 1 に出力される。

〔考案が解決しようとする問題点〕

しかしながら、上述の従来の D A 変換装置では、下位桁側 D A 変換器 4 のフルスケールの値は上位桁側 D A 変換器 3 の約 1 L S B 分である。

例えば、電源 5 が 5 V の場合には、上位桁側 D / A 変換器 3 の 1 L S B は下位桁側 D / A 変換器 4 のフルスケールに等しく、この値は $5 \text{ V} \div 2^8 = 19 \text{ mV}$ である。一方、下位桁側 D / A 変換器 4 の 1 L S B は $19 \text{ mV} \div 2^8 = 76 \mu\text{V}$ となる。従って、下位桁側 D / A 変換器 4 の直列抵抗の精度を測定したい場合に、1 L S B が $76 \mu\text{V}$ と極めて小さいためにノイズ等の影響を受け易く、正確な値を測定し難いと共に、測定に時間がかかるという欠点を有する。

本考案はかかる事情に鑑みてなされたものであって、下位桁側 D / A 変換器の直列接続された抵抗の精度をノイズ等の影響を受けずに正確に測定

することができるD/A変換装置を提供することを目的とする。

〔問題点を解決するための手段〕

本考案に係るD/A変換装置は、入力されたデジタルデータをデコードする上位桁デコード及び下位桁デコードと、これら上位桁及び下位桁デコードによってデコードされたデータに応じたアナログ値を複数の単位抵抗の直列回路からなる抵抗分圧器によって生成する直列接続された上位桁D/A変換器及び下位桁D/A変換器と、これら上位桁D/A変換器、下位桁D/A変換器の出力を加算する加算器と、前記下位桁D/A変換器の抵抗分圧器に並列接続され上位桁D/A変換器の抵抗分圧器の単位抵抗の少なくとも1つ分の抵抗値を有する抵抗と、前記下位桁D/A変換器の抵抗分圧器の両端部に設けられた測定端子とを有することを特徴とする。

〔作用〕

本考案においては、下位桁側D/A変換器の単位抵抗の直列接続体の両端から測定用端子を引き

出している。このため前記端子の両端に電圧を印加することによって、下位桁側のD/A変換器のフルスケールを自由に拡大することができ、下位桁側D/A変換器の直列接続された抵抗の精度を測定する場合に、ノイズ等の影響を受けずに正確な値を測定することができる。

〔実施例〕

第1図は本考案の実施例を示す回路図である。

A0～A15はデジタルデータの入力端子、B1はアナログデータの出力端子である。入力端子A0～A7は下位側デコーダ2に接続され、入力端子A8～A15は上位側デコーダ1に接続されている。上位側デコーダ1の出力信号線は上位側D/A変換器3に接続され、下位側デコーダ2の出力信号線は下位側D/A変換器4に接続されている。上位側デコーダ1及び下位側デコーダ2は、夫々8bitの入力信号をデコードするために、 $2^8 = 256$ 本の出力信号線を持ち、入力デジタルデータに対応した出力信号線が1つだけ選択される。各D/A変換器3、4の出力は加算器

10を介してアナログデータの出力端子B1に与えられる。下位側D/A変換器4の直列抵抗体R0の両端に夫々測定用端子B2及びB3が接続されている。R4は直列抵抗体R0に並列接続された抵抗であり、R6は一端が直列抵抗体R0及びR4に接続され、他端が接地された抵抗である。電源5はバイアス源である。

各D/A変換器3及び4においては、 $2^8 = 256$ 本の単位抵抗が直列に接続されて直列抵抗体R0が構成されている。従って、各D/A変換器3及び4には256種のアナログデータが用意されていることになる。D/A変換器3及び4の各単位抵抗の抵抗値は全て同一である。各抵抗の接続点とデコード1, 2との間にはMOSトランジスタスイッチ9が配設されている。このスイッチ9のオン・オフは前記デコード1, 2の出力により制御される。

次に、このように構成されたD/A変換装置の動作について説明する。各入力端子A0～A15にハイレベルまたはローレベルのデジタルデータ

が印加されると、入力端子 $A_0 \sim A_7$ に入力されたデジタルデータを下位側デコーダ 2 が受け、 $A_8 \sim A_{15}$ に入力されたデジタルデータを上位側デコーダ 1 が受ける。そうすると、上位側及び下位側のデコーダ 1, 2 により、入力デジタルデータに対応した出力信号線が 1 つだけ選択され、選択された信号線のみが D/A 変換器 3, 4 のスイッチをオンにする。ここまでの動作は従来例と同様である。

D/A 変換器 3 及び 4 においては、電源 5 から与えられた電圧が、等しい抵抗値を持つ抵抗で分割される。D/A 変換器 3 の最小ステップの電圧が D/A 変換器 4 のフルスケールの電圧であり、それは抵抗 R_4 よって確保される。D/A 変換器 4 においては、抵抗値が抵抗 R_4 と同一の 256 本の単位抵抗の直列抵抗体 R_0 により抵抗 R_4 に生ずる電圧（これは上位側 D/A コンバータ 3 の 1 LSB に相当する）が 256 段階に分割される。この直列抵抗体 R_0 は抵抗 R_4 と並列に接続されており、抵抗 R_6 により出力電圧がレベルシフト

される。厳密に言えば、D/A変換器4内の合成抵抗は $0.996R$ （但し、 R を上位側D/A変換器3の1LSBとする）であるが、加算器10内で上位側D/A変換器3と下位側D/A変換器4との比が正確に補正される。

次に、下位側D/A変換器4の抵抗の精度を測定する場合について説明する。

電源5を5Vとした場合、外部電源により測定用端子B2、B3間に5Vの電圧を印加する。そうすると、下位側D/A変換器4の1LSB分の電圧は、実使用状態では前述の如く $76\mu V$ であるが、この場合には $5/256 = 19.5mV$ となる。このとき、入力端子A0～A7にデジタルデータを入力すれば、下位側D/A変換器4では $19.5mV$ ステップでアナログデータが出力される。従って、上位側D/A変換器3の出力を固定してしまえば、出力端子B1から下位側D/A変換器4の出力を、ノイズ等の影響を受けることなく測定することができる。

第2図は本考案の他の実施例を示す回路図であ

る。第2図中、第1図と同一部分には同一符号を付して説明を省略する。

T1及びT2はNチャネルとPチャネルのMOSトランジスタからなるトランスミッションゲートであり、Q1はこれらのトランスミッションゲートT1及びT2の制御信号の入力端子である。各入力端子A0～A15にハイレベル又はローレベルのデジタルデータが印加されてから、出力端子B1にアナログデータが出力されるまでの動作は全て第1図に示す実施例と同様である。この第2図の実施例においては、下位側D/A変換器4の直列抵抗体R0から直接測定用端子B2、B3を出すのではなく、直列抵抗体R0にNチャネル及びPチャネルMOSトランジスタからなるトランスミッションゲートT1及びT2を介して測定用端子B2、B3を接続している。このトランスミッションゲートT1、T2は、実使用時において、測定用端子B2、B3から不用意に下位側D/A変換器4に電圧が印加されることを防止する入力保護機能を兼ねている。

下位側 D / A 変換器 4 の抵抗の精度を測定する場合には、入力端子 Q 1 にトランスミッションゲート T 1 , T 2 が開くような信号を加え、測定用端子 B 2 , B 3 間に電圧を与える。これにより、前記第 1 図の実施例と同様に容易に抵抗精度を測定することができる。

〔考案の効果〕

以上説明したように、本考案によれば、上位側 D / A 変換器と下位側 D / A 変換器は抵抗分圧方式であり、上位側 D / A 変換器の 1 ～数 L S B が下位側 D / A 変換器のフルスケールの値になるように上位側 D / A 変換器内の抵抗に直列に 1 ～数個の単位抵抗を直列接続し、これに下位側 D / A 変換器内の抵抗を並列接続している。そして、下位側 D / A 変換器の両端から測定用端子を出しているから、この端子を介して下位側 D / A 変換器の抵抗に精度測定用電圧を印加することにより、下位側 D / A 変換器のスルスケールを任意に拡大することができる。このため、下位側 D / A 変換器の抵抗精度を高精度で測定することができる。

また、D/A変換装置の特性を調べる場合、本願のような方法を用いてまず下位側D/A変換器の直線性を測定し、それから下位側D/A変換器と上位側D/A変換器の相対精度を測定し、次に上位側D/A変換器の直線性を測定することによって、より高精度な特性の測定が可能になる。

4. 図面の簡単な説明

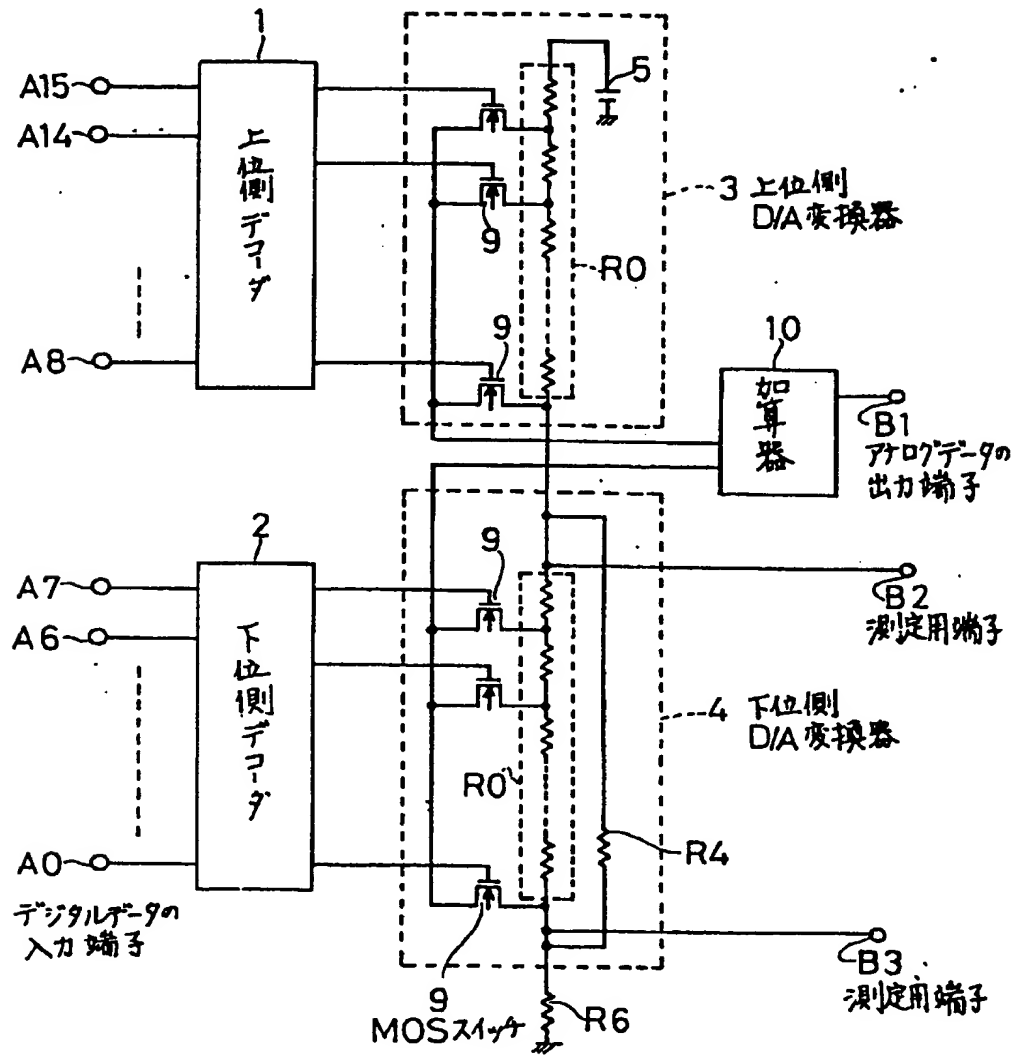
第1図は本考案の実施例を示す回路図、第2図は本考案の他の実施例を示す回路図、第3図は従来例を示す回路図である。

A0～A15；デジタルデータ入力端子、B1；アナログデータの出力端子、1；上位側デコーダ、2；下位側デコーダ、3；上位側D/A変換器、4；下位側D/A変換器、5；電源、T1，T2；トランスマッションゲート、B2，B3；測定用端子

出願人 日本電気株式会社

代理人 弁理士 内原 晋

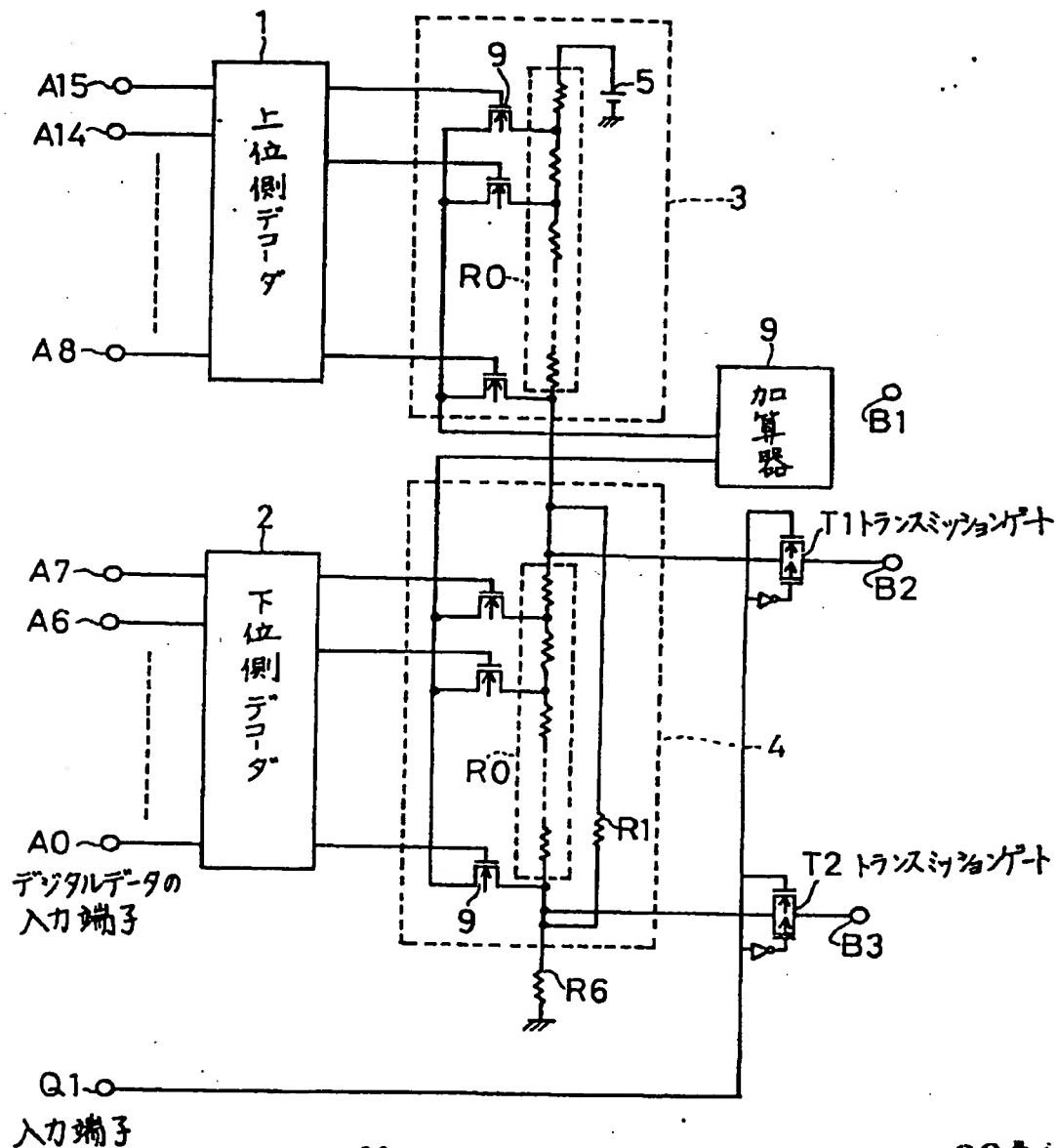
公開実用 昭和63- 165932



第 1 図

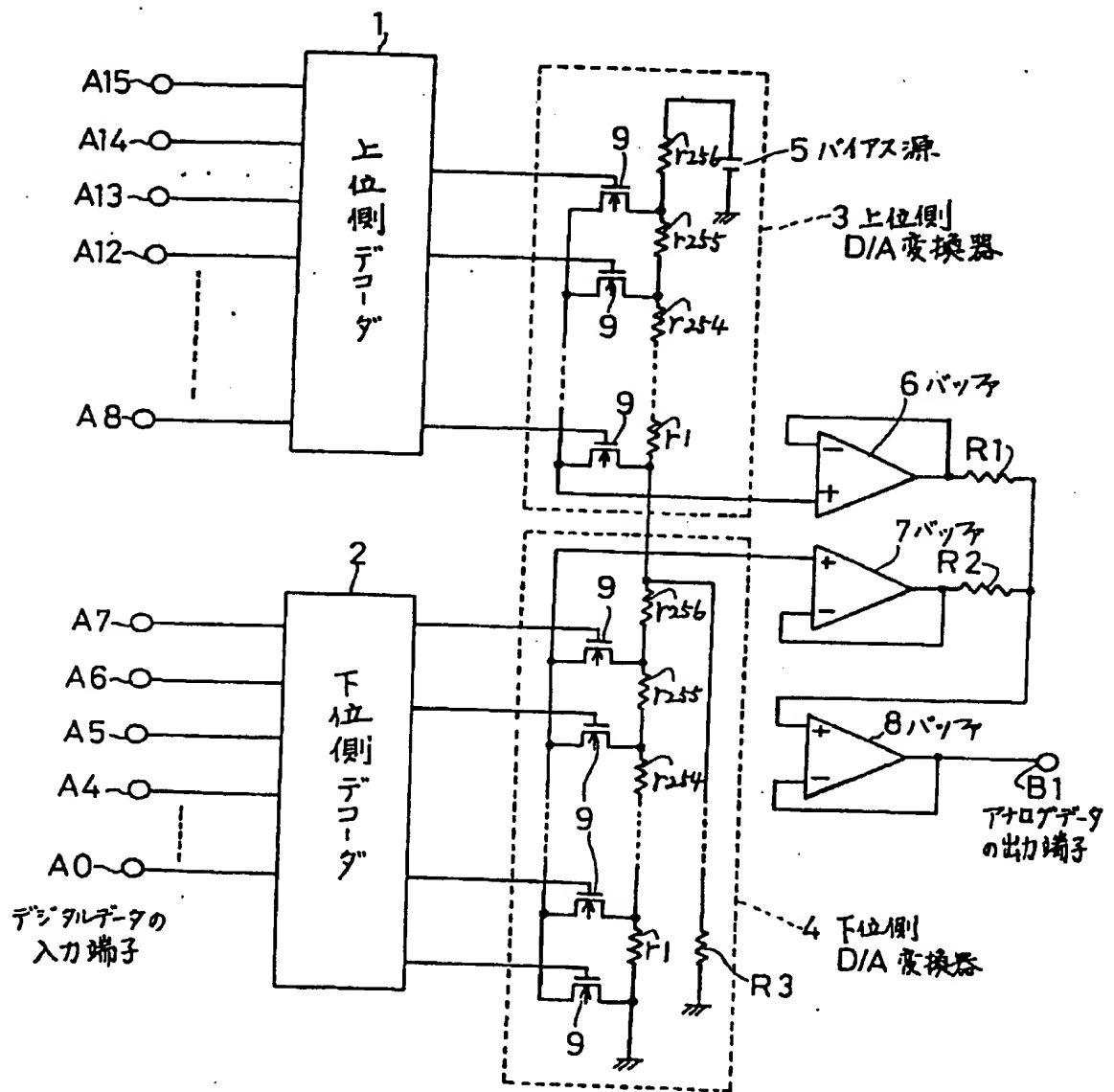
実用 63-165932

出願人 日本電気株式会社
代理人 弁理士 内原 晋



第 2 図

394
 漢開 83-1659-32
 出願人 日本電気株式会社
 代理人 弁理士 内原 晋



第 3 図

395

実開 63-165932
出願人 日本電気株式会社
代理人 井理士 内原 晋